

DRIVE CIRCUIT

Publication number: JP11291550

Publication date: 1999-10-26

Inventor: NAGUMO AKIRA

Applicant: OKI DATA KK

Classification:

- **international:** B41J2/44; B41J2/45; B41J2/455; G06K15/12; H01S5/00; H01S5/042; B41J2/44; B41J2/45; B41J2/455; G06K15/12; H01S5/00; (IPC1-7): B41J2/44; B41J2/45; B41J2/455; H01S3/18

- **european:** G06K15/12D4L

Application number: JP19980269926 19980924

Priority number(s): JP19980269926 19980924; JP19980028735 19980210

Also published as:

EP0936509 (A2)

US6400349 (B1)

EP0936509 (A3)

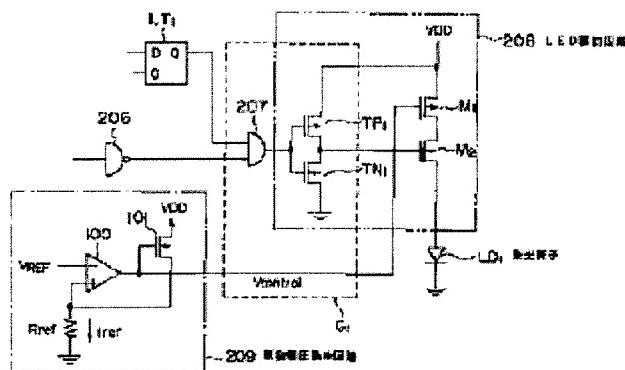
EP0936509 (B1)

[Report a data error here](#)

Abstract of JP11291550

PROBLEM TO BE SOLVED: To obtain a circuit for driving a plurality of elements in which fluctuation in the rising time of driving current for the element to be driven due to a large number of dots to be driven simultaneously is suppressed.

SOLUTION: The LED drive circuit 208 comprises an inverter circuit including a P channel MOS transistor TP1 and an N channel MOS transistor TN1, and P channel MOS transistors M1, M2 for causing a light emitting element LD1 to emit light. The P channel MOS transistors M1, M2 are connected in series wherein the P channel MOS transistor M1 has source terminal connected with a power supply VDD and gate terminal connected with the output terminal of a control voltage generating circuit 209. The P channel MOS transistor M2 has gate connected with the output terminal of an inverter circuit and drain terminal connected with the light emitting element LD1. The P channel MOS transistor M1 determines driving current value of the light emitting element LD1 and the P channel MOS transistor M2 serves as a switch element.



Data supplied from the **esp@cenet** database - Worldwide

Family list

7 family members for:

JP11291550

Derived from 4 applications.

[Back to JP11291550](#)**1 Driving circuit and led head with constant turn-on time**Publication info: **DE69932373D D1** - 2006-08-31**2 Driving circuit and led head with constant turn-on time**Publication info: **EP0936509 A2** - 1999-08-18 **EP0936509 A3** - 2000-01-05 **EP0936509 B1** - 2006-07-19**3 DRIVE CIRCUIT**Publication info: **JP3732345B2 B2** - 2006-01-05 **JP11291550 A** - 1999-10-26**4 Driving circuit and LED head with constant turn-on time**Publication info: **US6400349 B1** - 2002-06-04

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-291550

(43) 公開日 平成11年(1999)10月26日

(51) Int.Cl.⁶
B 4 1 J 2/44
2/45
2/455
H 0 1 S 3/18 6 2 6

識別記号 F I
B 4 1 J 3/21 L
H 0 1 S 3/18 6 2 6

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号 特願平10-269926

(22) 出願日 平成10年(1998) 9月24日

(31) 優先権主張番号 特願平10-28735

(32) 優先日 平10(1998) 2月10日

(33) 優先権主張国 日本 (JP)

(71) 出願人 591044164

株式会社沖データ

東京都港区芝浦四丁目11番地22号

(72) 発明者 南雲 章

東京都港区芝浦4丁目11番地22号 株式会

社沖データ内

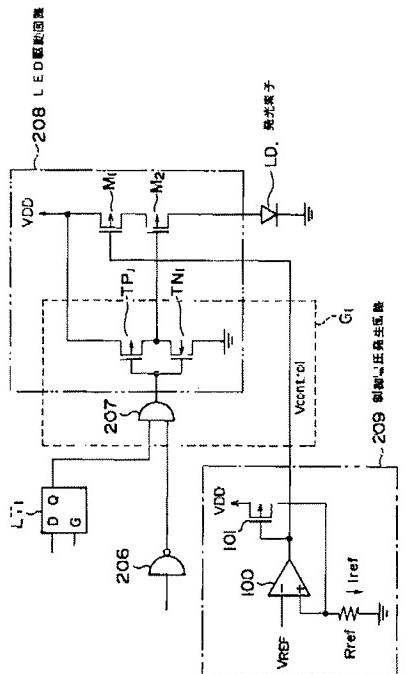
(74) 代理人 弁理士 大西 健治

(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 複数の被駆動素子を駆動する駆動回路において、同時駆動ドット数の多寡による被駆動素子を駆動する駆動電流の立ち上がり時間の変動を軽減する。

【解決手段】 LED駆動回路208にはPチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1から成るインバータ回路と、発光素子LD1を発光させるためのPチャネルMOSトランジスタM1、M2が設けられる。PチャネルMOSトランジスタのM1とM2は直列に接続され、PチャネルMOSトランジスタM1のソース端子は電源VDDに接続され、ゲート端子は制御電圧発生回路209の出力端子に接続されている。またPチャネルMOSトランジスタM2のゲートはインバータ回路の出力端子に接続され、ドレーン端子は発光素子LD1に接続されている。PチャネルMOSトランジスタM1は発光素子LD1の駆動電流値を決定し、PチャネルMOSトランジスタM2はスイッチ素子としての働きをする。



【特許請求の範囲】

【請求項1】 制御電圧発生回路により一定電流を流して複数の被駆動素子を駆動する駆動回路において、前記制御電圧発生回路の出力を入力して前記被駆動素子へ流す電流値を設定する第1の駆動素子と、前記第1の駆動素子に接続され、前記被駆動素子に対するオン、オフを制御する第2の駆動素子とを具備したことを特徴とする駆動回路。

【請求項2】 複数の被駆動素子のそれぞれに駆動電流を供給して駆動する複数の駆動素子と、該複数の駆動素子のそれぞれに対応して設けられ、該複数の駆動素子のそれぞれを駆動する複数の前段回路と、該前段回路のグラウンド電位を決定する制御電流発生回路とを有する駆動回路において、前記駆動素子と前記前段回路とを抵抗を介して接続したことを特徴とする駆動回路。

【請求項3】 複数の被駆動素子のそれぞれに駆動電流を供給して駆動する複数の駆動素子と、該複数の駆動素子のそれぞれに対応して設けられ、該複数の駆動素子のそれぞれを駆動する複数の前段回路と、該前段回路のグラウンド電位を決定する制御電流発生回路とを有する駆動回路において、前記前段回路に定電流特性を持たせたことを特徴とする駆動回路。

【請求項4】 前記前段回路はMOSトランジスタを有し、前記定電流特性を持たせるためにMOSトランジスタのゲート長を大きくした請求項3記載の駆動回路。

【請求項5】 前記前段回路の前段にプリバッファ回路を設け、該プリバッファ回路のグラウンド電位は前記制御電流発生回路の出力電位に応じて決定される請求項4記載の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の被駆動素子、例えば、電子写真プリンタにおける光源としてのLEDの群、サーマルプリンタにおける発熱抵抗体の列、あるいは表示装置における表示素子の列を選択的に駆動する駆動回路に関する。

【0002】

【従来の技術】従来、例えば電子写真プリンタにおいては、帯電した感光ドラムの表面に対して印刷データに応じて選択的に光を照射して該表面に静電潜像を形成し、この静電潜像にトナーを付着させて現像を行い、これにより得られたトナー像を用紙に転写することにより印刷を行うようになっている。以下、従来の駆動回路として電子写真プリンタにおけるそれについて図面にしたがつて説明する。

【0003】図15は従来の電子写真プリンタにおける制御回路のブロック図、図16は従来の電子写真プリンタのタイムチャートである。図15において、印刷制御

部1は、マイクロプロセッサ、ROM、RAM、入出力ポート、タイマ等によって構成され、プリンタの印刷部の内部に配設される。印刷制御部1は、図示しない上位コントローラからの制御信号SG1、ビデオ信号(ドットマップデータを一次元的に配列したもの)SG2等によってプリンタ全体をシーケンス制御し、印刷動作を行う。

【0004】制御信号SG1によって印刷指示を受信すると、印刷制御部1はまず、定着器温度センサ23によってヒータ22aを内蔵した定着器22が使用可能な温度範囲にあるか否かを検出し、この温度範囲になければヒータ22aを加熱して使用可能な温度まで定着器22を加熱する。次に印刷制御部1は、現像、転写プロセス用モータ(PM)3をドライバ2を介して回転させ、同時にチャージ信号SGCによって帯電用電圧電源25をオンにし、現像器27の帯電を行う。

【0005】そして、セットされている図示しない用紙の有無および種類が用紙残量センサ8、用紙サイズセンサ9によって検出され、用紙に合った用紙送りが開始される。ここで、用紙送りモータ(PM)5はドライバ4を介して双方向に回転可能であり、最初に逆回転させて、用紙吸入口センサ6が検知するまで、セットされた用紙を予め設定された量だけ送る。続いて、用紙送りモータ5を正回転させて用紙をプリンタ内部の印刷機構部に搬送する。

【0006】印刷制御部1は、用紙が印刷可能な位置まで搬送された時点において、上位コントローラに対してタイミング信号SG3(主走査同期信号、副走査同期信号を含む)を送信し、ビデオ信号SG2を受信する。上位コントローラにおいて頁毎に編集され、印刷制御部1によって受信されたビデオ信号SG2は、印刷データ信号HD-DATAとしてLEDヘッド19に転送される。LEDヘッド19はそれぞれ1ドット(ピクセル)の印刷のために設けられたLEDを複数個線状に配列したものである。

【0007】そして印刷制御部1は、1ライン分のビデオ信号を受信すると、LEDヘッド19にラッチ信号HD-LOADを送信し、印刷データ信号HD-DATAをLEDヘッド19内に保持させる。また印刷制御部1は、上位コントローラから次のビデオ信号SG2を受信している最中においても、LEDヘッド19に保持した印刷データ信号HD-DATAについて印刷することができる。なおHD-CLKは印刷データ信号HD-DATAをLEDヘッド19に送信するためのクロック信号である。

【0008】ビデオ信号SG2の送受信は、印刷ライン毎に行われる。LEDヘッド19によって印刷される情報は、マイナス電位に帶電された図示しない感光ドラム上において電位の上昇したドットとして潜像化される。そして現像部27において、マイナス電位に帶電された

画像形成用のトナーが、電気的に吸引力によって各ドットに吸引され、トナー像が形成される。

【0009】その後トナー像は転写部28に送られる、一方、転写信号SG4によってプラス電位の転写用高圧電源26がオンになり、転写器28は感光ドラムと転写器28との間隙を通過する用紙上にトナー像を転写する。

【0010】転写されたトナー像を有する用紙は、ヒータ22aを内蔵する定着器22に当接して搬送され、定着器22の熱によって用紙にトナー像が定着される。トナー像が定着された用紙は更に搬送されて、プリンタの印刷機構部から用紙排出口センサ7を通過してプリンタ外部に排出される。

【0011】印刷制御部1は、用紙サイズセンサ9、用紙吸入口センサ6の検知に対応して、用紙が転写器28を通過している間だけ転写用高圧電源26からの電圧を転写器28に印加する。そして、印刷が終了し、用紙が用紙排出口センサ7を通過すると、帶電用高圧電源25による現像器27への電圧の印刷を終了し、同時に現像、転写プロセス用モータ3の回転を停止させる。さらに印刷を行う場合には上記の動作を繰り返す。

【0012】次に、LEDヘッド19について説明する。図17は従来のLEDヘッドの構造を示す図である。図に示すように、印刷データ信号HD-DATAはクロック信号HD-CLKと共にLEDヘッド19に入力され、例えば、A4サイズの用紙に印刷可能であり1インチ当たり600ドットの解像度を持ったプリンタにおいては、4992ドット分のビットデータがフリップフロップ回路FF₁、FF₂、…、FF₄₉₉₂から成るシフトレジスタに順次転送される。次に、ラッチ信号HD-LOADがLEDヘッド19に入力され、上記ビットデータは各ラッチ回路LT₁、LT₂、…、LT₄₉₉₂にラッピングされる。続いて、ビットデータと印刷駆動信号HD-STB-Nによって、発光素子LD₁、LD₂、…、LD₄₉₉₂のうち、High(高)レベルであるドットデータに対応するものが点灯される。なおG₀はインバータ回路で、G₁、G₂、…、G₄₉₉₂はプリバッファ回路、Tr₁、Tr₂、…、Tr₄₉₉₂はスイッチ素子、V_{DD}は電源である。

【0013】図17のLEDヘッドを使用するプリンタにおいては、LEDヘッド19のすべての発光素子LD₁、LD₂、…、LD₄₉₉₂が印刷駆動信号HD-STB-Nにより同時に、同一の時間駆動されるので、各発光素子LD₁、LD₂、…、LD₄₉₉₂毎に配設されたスイッチ素子Tr₁、Tr₂、…、Tr₄₉₉₂や発光素子LD₁、LD₂、…、LD₄₉₉₂などの特性にばらつきがあると各印刷ドットごとの発光強度にもばらつきが発生する。その結果、感光ドラム上に形成される静電潜像の各ドットの大きさに差を生じ、実際に印刷される画像の各ドットの大きさにも差が生じることになる。

【0014】図18はLEDヘッドの構成を示す図である。図18において、LEDアレイ(CHP1等)にはそれぞれ192個のLED素子が集積されており、各LED素子とドライバICの出力端子とはワイヤボンディングにより接続されている。この例では、ドライバIC1チップ当たり192個のLED素子が駆動でき、これらのチップが26個分カスケードに接続され、外部から入力される印刷データをシリアルに転送できるようになっている。

【0015】図19は図17におけるプリバッファ回路(G₁、G₂、…、G₄₉₉₂)とその周辺回路との接続関係を示す回路図である。ここでは代表してドット1に関する回路のみを示す。図19において、破線により囲まれた部分がプリバッファ回路G₁を示し、プリバッファ回路G₁には、アンド回路AD1、PチャネルMOSトランジスタTP1、NチャネルMOSトランジスタTN1が設けられている。一点鎖線で囲まれる部分は制御電圧発生回路209であり、これはドライバIC1チップ毎に設けられている。

【0016】制御電圧発生回路209には、演算增幅器100、PチャネルMOSトランジスタ101、抵抗R_{ref}が設けられている。演算增幅器100の出力は、そのドライバICチップ内のすべてのプリバッファ回路に接続され、具体的にはプリバッファ回路G₁内のNチャネルMOSトランジスタTN1のソース端子に接続されている。PチャネルMOSトランジスタ101は、図17に示すスイッチ素子Tr₁、Tr₂、…、Tr₄₉₉₂とゲート長が等しいサイズになるように構成されている。また演算增幅器100の入力端子には、図示しない基準電圧回路から発生される基準電圧V_{REF}が接続される。演算增幅器100、PチャネルMOSトランジスタ101、抵抗R_{ref}による回路でフィードバック制御回路を構成しており、抵抗R_{ref}に流れる電流、即ちPチャネルMOSトランジスタ101に流れる電流はV_{DD}電圧によらず、基準電圧V_{REF}と抵抗R_{ref}の値のみにより決定される構成となっている。

【0017】

【発明が解決しようとする課題】本出願人は先に、チップ間の光量のばらつきおよびドット間の光量のばらつきをともに補償する回路を備えた駆動装置を提案した(特願平8-176824号)。さらに、印刷動作に伴うLEDアレイチップそれぞれの温度上昇の差によるLEDの発光パワーの変動を補償する回路を備えた駆動装置を提案した(特願平9-145031号)。しかしながらこれらの駆動装置においては、1つずつのLEDの発光パワーのばらつきはなくなつたが、使用の状態によってはまだ僅かながら使用中に印刷濃度等が不均一になることがあることがわかつた。

【0018】研究の結果、印刷濃度が不均一になる現象はLED駆動回路を構成するドライバICチップ毎の同

時駆動ドット数に依存しており、1チップ当り1ドットのみを駆動した場合の露光エネルギー量と、1チップ内で多数のドットを同時に駆動した場合の各ドットの平均露光エネルギー量とが相違していることによることが分かった。即ち、1チップ当り1ドットのみを駆動した場合と同時に多数ドットを駆動した場合とでは、LED駆動電流の立ち上がり時間に変動を生じており、これが実質的な駆動時間の変化となって現れ、これが感光ドラム上の露光エネルギー量の変動となり、ドットを形成するトナー径が変化するためであることが分かった。

【0019】図20はLED駆動電流の立ち上がり時間の変動を示すタイムチャートであり、LED駆動がオンされた後、再びオフ状態となる場合のLEDの駆動電流波形を示す実測データである。

【0020】図20において、上段の波形はLEDヘッドのストローブ信号（印刷駆動信号）HD-STB-Nであり、下段の波形はドライバICにおける1つのドットにおけるLED駆動電流値の波形であり、着目しているドライバICにおいて同時に駆動されるドット数を、1、8、32、96、192と順次変化させたときの着目しているドットの駆動電流の立ち上がり、立ち下がりの波形を示す。

【0021】図から分かるように、ドライバIC1チップ当たりの駆動ドット数が1ドットの場合に対して、同時に駆動ドット数が多くなるに従って、駆動電流の立ち上がり時間が増加する傾向がある。また、駆動電流の立ち下がり時間については、同時に駆動ドット数による顕著な差は見られない。即ち、ドライバIC1チップ当たりの同時に駆動ドット数が増加すると、実質的な駆動時間が減少し、各ドットの露光エネルギー量が変化することになる。

【0022】上記の現象を究明する過程で明らかになった点は次の通りである。図19において、LEDを駆動するために、シフトレジスタに「1」のデータを転送し、それをラッチ回路LT1にラッチさせる。次いでストローブ信号HD-STB-Nがアサートされると、インバータ回路G₀により正論理信号とされてアンド回路AD1に入力され、この出力がTP1とTN1とで構成されるインバータ回路により論理反転されることにより、その出力はHighレベルからLowレベルへと遷移する。スイッチ素子Tr1のゲート電位は、制御電圧発生回路209の出力であるVcontrolに等しい電位まで下降する。これによりスイッチ素子Tr1はオンする。

【0023】このとき、図19にI₁で示す電流が流れ込む。この電流I₁は、主にスイッチ素子Tr1のゲートとICチップのサブストレート間の静電容量、即ち、ソース・ゲート間容量の充電電流であり、この電流I₁が電源VDDからスイッチ素子Tr1のゲートを介して演算增幅器100の出力端子に流れ込むことになる。この

電流I₁は、ドライバICの1チップ当たりの同時に駆動ドット数が少ないと場合にはほとんど無視できる程度であるが、同時に駆動ドット数が多くなると演算增幅器100の出力端子に多量に流れ込むことになり、演算增幅回路100の出力シンク電流の制限からスイッチ素子Tr1のゲート・ソース間容量の充電にはある程度の時間を要するようになる。

【0024】一方、スイッチ素子Tr1がオン状態からオフ状態へと変化する場合を考える。この場合、ストローブ信号HD-STB-Nはアサート状態からネガート状態へと遷移している。これによりアンド回路AD1の出力は、HighレベルからLowレベルへと変化して、TP1とTN1とで構成されるインバータ回路の出力も、制御電圧発生回路209の出力であるVcontrolに等しい電位から電源VDDにほぼ等しい電位まで上昇する。このとき、図中にI₀で示すように、ゲート・ソース間容量の放電電流が流れれる。

【0025】ここで重要なことは、LED駆動をオンする場合のスイッチ素子Tr1のゲート充電電流は演算增幅器100に集中して流れ込むのに対して、LED駆動をオフする場合におけるスイッチ素子Tr1のゲート放電電流は各ドット毎に設けられたPチャネルMOSトランジスタTP1を介して各ドットに独立に分散して流れるという点である。

【0026】換言すれば、LED駆動電流の遷移時間は、LED駆動オンする場合には同時に駆動ドット数の影響を大きく受けるのに対して、LED駆動オフする場合には同時に駆動ドット数の影響はほとんど受けないということである。

【0027】

【課題を解決するための手段】前記課題を解決するため、本発明が講じた第1の解決手段は、制御電圧発生回路により一定電流を流して複数の被駆動素子を駆動する駆動回路において、前記駆動電圧発生回路の出力を入力して前記被駆動素子への出力の大きさを設定する第1の駆動素子と、前記第1の駆動素子に接続され、前記被駆動素子に対するオン、オフを制御する第2の駆動素子とを具備したことを特徴とする。

【0028】また第2の解決手段は、複数の被駆動素子のそれぞれに駆動電流を供給して駆動する複数の駆動素子と、該複数の駆動素子のそれぞれに対応して設けられ、該複数の駆動素子のそれぞれを駆動する複数の前段回路と、該前段回路のグラウンド電位を決定する制御電流発生回路とを有する駆動回路において、前記駆動素子と前記前段回路とを抵抗を介して接続したことを特徴とするものである。さらに別の解決手段として、前記前段回路に定電流特性を持たせるようにしてもよい。

【0029】

【発明の実施の形態】以下に本発明の実施の形態を図面を参照しながら詳細に説明する。なお、各図面に共通す

る要素には同一の符号を付す。図1は本発明に係る第1の実施の形態における駆動回路の要部を示す回路図、図2は第1の実施の形態のLEDヘッドの内部構成を示すブロック図である。まず図2によりLEDヘッドの内部構成を説明する。

【0030】図2において、本実施の形態のLEDヘッド19には、192個の発光素子(LED)が配列されたLEDアレイチップ(以下LEDアレイという)201とそれに対応するドライバIC202がそれぞれ26個配設され、その他に基準電圧発生回路203を有する。各ドライバIC202は同一の回路により構成され、その内部には、シフトレジスタ204、ラッチ回路205、インバータ回路206、アンド回路207、LED駆動回路208および制御電圧発生回路209が設けられている。

【0031】シフトレジスタ204は、192個のフリップフロップ回路より構成され、印刷データ(HD-DATA信号)をクロック信号(HD-CLK)に同期させてシフト入力させるものである。ラッチ回路205は、シフトレジスタ204の出力信号をラッチ信号(HD-LOAD)によりラッチする。インバータ回路206は、負論理信号であるストローブ信号(HD-STB-N)を論理反転させるもので、アンド回路207は、ラッチ回路205とインバータ回路206との出力信号を入力して論理積をとる。LED駆動回路208は、アンド回路207の出力により電源VDDから駆動電流をLEDアレイ201に供給する。また制御電圧発生回路209は、LED駆動回路208に対して駆動電流が一定となるよう指揮電圧を出力する。なお、印刷データ(HD-DATA信号)、クロック信号(HD-CLK)、ラッチ信号(HD-LOAD)、ストローブ信号(HD-STB-N)の各信号は、印刷動作時に図7に示す印刷制御部1から送られる。

【0032】図1において、一点鎖線で囲まれる部分は図2で示した制御電圧発生回路209で、二点鎖線で囲まれる部分はLED駆動回路208を示す。LED駆動回路208には、PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1、およびPチャネルMOSトランジスタM1、M2とが設けられている。PチャネルMOSトランジスタTP1のソース端子は電源VDDに接続され、PチャネルMOSトランジスタTP1のドレーン端子とゲート端子はNチャネルMOSトランジスタTN1のドレーン端子とゲート端子にそれぞれ接続されている。NチャネルMOSトランジスタTN1のソース端子はグランドに接続されている。PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1とでインバータ回路を構成している。

【0033】またPチャネルMOSトランジスタM1のソース端子は電源VDDに接続され、PチャネルMOSトランジスタM1のドレーン端子はPチャネルMOSト

ランジスタM2のソース端子に接続されている。PチャネルMOSトランジスタM2のドレーン端子は図示しない出力パッドを介して発光素子LD1のアノードに接続される。PチャネルMOSトランジスタM1のゲート端子は制御電圧発生回路209の出力端子(演算増幅器100の出力端子)に接続されている。またPチャネルMOSトランジスタM2のゲート端子は、PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1とで構成されるインバータ回路の出力に接続されている。発光素子LD1のカソード端子はグランドに接続されている。

【0034】制御電圧発生回路209には、前述した従来技術のものと同様に、演算増幅器100、PチャネルMOSトランジスタ101、抵抗Refが設けられている。演算増幅器100の出力は、上述のように、PチャネルMOSトランジスタM1のゲート端子に接続されている。PチャネルMOSトランジスタ101のゲート長はPチャネルMOSトランジスタM1のゲート長さと等しく設定されている。PチャネルMOSトランジスタ101とPチャネルMOSトランジスタM1とは、ソース電位とゲート電位が等しくされ、いわゆるカレントミラー回路を構成している。これにより、発光素子LD1の駆動電流は、基準電流であるIrefと比例関係が保たれ、発光素子LD1には基準電圧であるVREFの値に応じた駆動電流が流れることになる。演算増幅器100の入力端子に入力される基準電圧VREFは図2に示す基準電圧発生回路203から出力される。

【0035】発光素子LD1を駆動する場合において、発光素子LD1の順方向電圧の変化に対して発光素子の駆動電流が変動することは望ましくない。このため駆動回路の出力インピーダンスを大きく構成して、その定電流特性を改善する目的で、電流制限トランジスタとしてのPチャネルMOSトランジスタM1のゲート長は比較的大きめに設定される。一方、発光素子の駆動電流は所定の値であることを要するので、同時にPチャネルMOSトランジスタM1のゲート幅も大きめに設定されることになる。これらゲート長とゲート幅とともに大きく設定しなければならないことから、PチャネルMOSトランジスタM1のゲート配線面積は比較的大きなものとなり、ゲート・ソース間容量が増大することになる。このことから、従来技術においては課題の項で述べたようなLED駆動時間の立ち上がり時間の問題が発生していたわけである。

【0036】一方、PチャネルMOSトランジスタM2は単なるスイッチ素子としての働きをする。スイッチングトランジスタとしてのPチャネルMOSトランジスタM2のゲート長は、半導体製造プロセスで許容される最小寸法としてよく、ゲート配線面積、即ち、ゲート容量は微小なものにできるので、スイッチングは高速に行うことが可能である。さらにその充放電電流は、Pチャネ

ルMOSトランジスタM2に対応して設けられているPチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1とによって流れるので、同時駆動ドット数が多くなっても、PチャネルMOSトランジスタM2のスイッチング時間が大きく変動するというような不具合は発生しない。

【0037】図3はPチャネルMOSトランジスタM1とPチャネルMOSトランジスタM2の構造を簡略化して示す説明図である。図3において、N型半導体基板301にP型不純物領域302を形成し、そのP型不純物領域302に金属層からなる配線層303、304を接続する。配線層303は図1に示す電源VDDに接続され、配線層304は発光素子LED1に接続される。またN型半導体基板301には絶縁酸化膜からなる絶縁層305を介してゲート電極306、307が配設される。

【0038】ゲート電極306はPチャネルMOSトランジスタM1のゲート端子を構成し、ゲート長を大きくしてある。またゲート電極307はPチャネルMOSトランジスタM2のゲート端子を構成し、ゲート長を小さくしてある。配線層303およびゲート電極306、307はガラス層からなる絶縁層308に覆われている。電流制御用トランジスタM1とスイッチング用トランジスタM2を図3のようにゲート電極を並べて配設することにより、配設面積を小さめにすることができる。

【0039】図1において、PチャネルMOSトランジスタM1のゲート電位Vcontrolはほぼ一定に保たれており、LEDの駆動オン／オフの場合にもゲート端子への充放電流は発生しない。このため制御電圧発生回路209の演算増幅器100の出力端子へのシンク電流も発生しないので、LEDの同時駆動ドット数によって駆動オン時の電流波形立ち上がり時間の変動という問題は発生しないのである。

【0040】図4は第1の実施の形態におけるLED駆動電流を示すタイムチャートであり、LED駆動がオンされた後、再びオフ状態にされる場合のLEDの駆動電流波形の実測データを示す。図4において、上段の波形はLEDヘッドのストローブ信号HD-STB-Nであり、下段の波形はドライバICにおける1つのドットにおけるLED駆動電流値の波形であり、着目しているドライバICにおいて同時に駆動されるドット数を、1、8、32、96、192と順次変化させたときの着目しているドットの駆動電流の立ち上がり、立ち下がりの波形を示す。

【0041】図から分かるように、ドライバIC1チップ当たりの駆動ドット数が1ドットの場合に対して、同時駆動ドット数が多くなるに従って、駆動電流の立ち上がり時間は僅かに増加するのみで、従来技術において見られたような大きな増加傾向は見られない。また、駆動電流の立ち下がり時間についても、同時駆動ドット数による顕著な差は見られない。

【0042】以上のように第1の実施の形態では、直列接続した2つのPチャネルMOSトランジスタM1、M2によりLEDを駆動するようにし、一方のPチャネルMOSトランジスタM1でLEDの駆動電流値を決定する定電流源の働きをさせ、他方のPチャネルMOSトランジスタM2でLED駆動電流のオン／オフを行うスイッチ素子としての働きをさせるようにした。前者のPチャネルMOSトランジスタM1の動作は完全に静的であり、同時に駆動されるドット数がいかなる数であっても、その動作は影響を受けない。また後者のPチャネルMOSトランジスタM2の駆動は、各ドット毎に独立した回路によって行われるので、同時に駆動されるドット数の多寡による過渡特性への影響はほとんど無視することができる。

【0043】このように2つのトランジスタM1、M2で機能を分担するようにしたので、同時に駆動されるドット数の多寡による駆動電流波形の立ち上がり時間の変動という現象は解消される。

【0044】次に本発明の第2の実施の形態を説明する。図5は第2の実施の形態の駆動回路を示す回路図である。図5において、LED駆動回路208には、PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1とで構成されるインバータ回路の出力端子が抵抗Rpを介してPチャネルMOSトランジスタTr1のゲート端子に接続されている。その他の構成は前述した従来の回路構成と同様である。

【0045】次に第2の実施の形態の動作を説明する。ここではLED駆動がオンされた後、再びオフ状態とされるまでの動作を説明する。LEDを駆動するために図2に示すシフトレジスタ204に「1」のデータを転送し、それをラッチ回路LT1にラッチさせる。次いでストローブ信号HD-STB-Nがアサートされると、インバータ回路206により正論理信号とされてアンド回路207に入力され、この出力がTP1とTN1とで構成されるインバータ回路により論理反転されることにより、その出力はHighレベルからLowレベルへと遷移する。これによりPチャネルMOSトランジスタTr1はオンし、PチャネルMOSトランジスタTr1のゲート電位は、制御電圧発生回路209の出力であるVcontrolに等しい電位まで下降する。

【0046】このとき、図5にI₁で示す電流が流れれる。この電流I₁は、主にPチャネルMOSトランジスタTr1のゲートとICチップのサブストレート間の静電容量、即ち、ソース・ゲート間容量の充電電流であり、この電流I₁が電源VDDからPチャネルMOSトランジスタTr1のゲートおよび500Ω～5KΩ程度の電流制限抵抗Rpを介して演算増幅器100の出力端子に流れ込むことになる。この電流I₁は、電流制限抵抗Rpの働きにより充電電流が十分小さい値となるよう電流制限されているので、ドライバIC1チップ当たり

の同時駆動ドット数が少ない場合にはもちろん、同時駆動ドット数が多くなった場合でも、演算増幅器100の出力シンク電流の制限を満足するように充電電流を制限する。

【0047】このため、ゲート・ソース間容量の充電にはある程度の時間を要するものの、ドライバIC1チップ当りの同時駆動ドット数の多寡によらず、その充電時間はほとんど同じ値となる。これによりLED駆動電流の立ち上がり時間もまた、ドライバIC1チップ当りの同時駆動ドット数への依存性をほとんど無視し得る程度に軽減することができる。

【0048】一方、PチャネルMOSトランジスタTr1がオン状態からオフ状態へと変化する場合を考える。この場合、ストローブ信号HD-STB-Nはアサート状態からネガート状態へと遷移している。これによりアンド回路207の出力は、HighレベルからLowレベルへと変化して、TP1とTN1とで構成されるインバータ回路の出力も、制御電圧発生回路209の出力であるVcontrolに等しい電位から電源VDDにはほぼ等しい電位まで上昇する。このとき、図中にI_oで示すように、ゲート・ソース間容量の放電電流が流れる。

【0049】この場合においても、放電電流I_oは電流制限抵抗R_pの働きにより電流制限されることになるが、各ドット毎に独立した回路構成であるので、同時駆動されるドット数の多寡によってゲート・ソース間容量の放電電流I_oが大きく変動することはない。

【0050】この結果、LED駆動電流の遷移時間は、LED駆動オフする場合はもちろんのこと、LED駆動オンする場合にも同時駆動されるドット数の影響はほとんどなくなる。

【0051】図6は第2の実施の形態におけるLED駆動電流を示すタイムチャートで、LED駆動がオンされた後、再びオフ状態とされる場合のLED駆動電流波形の実測値を示す。図4と同様に、上段の波形はLEDヘッドのストローブ信号HD-STB-Nであり、下段の波形はドライバICにおける1つのドットにおけるLED駆動電流値の波形であり、着目しているドライバICにおいて同時に駆動されるドット数を、1、8、32、96、192と順次変化させたときの着目しているドットの駆動電流の立ち上がり、立ち下がりの波形を示す。

【0052】図から分かるように、ドライバIC1チップ当りの駆動ドット数が1ドットの場合に対して、同時駆動ドット数が多くなるに従って、駆動電流の立ち上がり時間は僅かに増加する傾向があるが、従来技術において見られたような大きな増加傾向は見られない。また、駆動電流の立ち下がり時間についても、同時駆動ドット数による顕著な差は見られない。

【0053】以上のように第2の実施の形態では、LEDを駆動するためのPチャネルMOSトランジスタTr1とこれを駆動するプリバッファ回路（インバータ回

路）とを抵抗R_pを介して接続し、この抵抗R_pにPチャネルMOSトランジスタTr1のゲート・ソース間容量を充電するときの電流制限抵抗の働きをさせるようにしたので、ドライバICの同時駆動ドット数が多くなる場合でも、演算増幅器100の出力シンク電流の制限を満足できる程度まで充電電流を制限できることが可能になる。このように、ドライバICの同時駆動ドット数の多寡により駆動電流波形の立ち上がり時間が変動する現象を実用上充分な程度まで軽減することができる。

【0054】次に本発明の第3の実施の形態を説明する。図7は第3の実施の形態の駆動回路を示す回路図である。図7において、LED駆動回路208には、PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1とで構成されるインバータ回路が設けられ、インバータ回路の出力端子は駆動素子のPチャネルMOSトランジスタTr1のゲート端子に接続されている。NチャネルMOSトランジスタTN1は、一端がTr1のゲート端子に接続され、他端が制御電圧発生回路209の演算増幅器100の出力端子に接続されている。NチャネルMOSトランジスタTN1は、ゲート長を大きめに設定されて飽和電流範囲を広くとり、定電流源としての特性を持っている。またPチャネルMOSトランジスタTr1のソース端子は電源VDDに接続され、そのドレーン端子はドライバIC202の出力パッド310を介してLED素子LD1のアノードに接続されている。

【0055】図8は制御電圧発生回路内の演算増幅器を示す回路図である。図8において、符号320は抵抗を示し、符号321乃至323はPチャネルMOSトランジスタを示し、符号324乃至328はNチャネルMOSトランジスタを示し、符号329はコンデンサを示す。抵抗320はNチャネルMOSトランジスタ324と直列接続され、NチャネルMOSトランジスタ325、326のゲート電位V_Bを作成するバイアス電圧発生回路を構成している。

【0056】またNチャネルMOSトランジスタ327、328、329およびPチャネルMOSトランジスタ321、322とで差動増幅回路を構成し、NチャネルMOSトランジスタ328のゲート端子が演算増幅回路100の非反転入力端子（+入力端子）、NチャネルMOSトランジスタ327のゲート端子が演算増幅回路100の反転入力端子（-入力端子）となっている。またPチャネルMOSトランジスタ323とNチャネルMOSトランジスタ326とで増幅回路を構成し、両者の接続ノードが演算増幅回路100の出力端子となっている。その他の構成は従来の回路構成と同様である。

【0057】図9はNチャネルMOSトランジスタTN1の特性を示すグラフである。図9において、縦軸はドレーン電流I_Dを示し、横軸はソース・ドレーン間電圧V_{DS}を示し、ゲート・ソース間電圧V_{GS}を一定にした条

件のもとでの静特性を示している。

【0058】ここでNチャネルMOSトランジスタTN1のゲート長と電流との関係について説明する。図9において、点線は $V_{DS} = V_{GS} - V_t$ を示す。ここで V_t はしきい値電圧である。この点線の右側は飽和領域である。飽和領域におけるドレーン電流 I_D は次式で表すことができる。即ち、

【0059】

【数1】

$$I_D = \frac{W}{L} \times \beta \times (V_{GS} - V_t)^2$$

【0060】ここでWはゲート幅を示し、Lはゲート長を示し、 β は定数を示す。

【0061】式1から分かるように、ドレーン電流 I_D は、NチャネルMOSトランジスタTN1のゲート長Lに反比例しており、TN1のゲート長Lを大きくすることによりドレーン電流 I_D を制限することができる。

【0062】図10はTN1のゲート長Lを変えた場合のドレーン電流 I_D の実測値を示すグラフである。図10ではゲート・ソース間電圧 V_{GS} を1.6Vで一定にしている。図10において、曲線aはゲート長Lを1μmにした場合のドレーン電流を示し、曲線bはゲート長Lを5μmにした場合のドレーン電流を示す。このようにゲート長Lを大きくすることにより、ドレーン電流を制限することができる。

【0063】次に第3の実施の形態の動作を説明する。ここではLED駆動がなされ、ストローブ信号HD-S TB-Nがハイレベルからローレベルとなって、再びハイレベルになる場合の動作を説明する。

【0064】図7において、LED駆動する前においてはLED駆動用のPチャネルMOSトランジスタTr1は、オフ状態になっており、そのゲート・ソース間電圧はほとんどゼロになっている。ストローブ信号HD-S TB-NがHighレベルかたLowレベルになると、インバータ回路206の出力端子はLowからHighとなる。一方印刷データはオンであるので、ラッチ回路LT1の出力はHighレベルである。このためアンド回路207の出力信号はLowからHighレベルに遷移する。

【0065】このときPチャネルMOSトランジスタTr1はオンからオフとなり、NチャネルMOSトランジスタTN1は遮断状態からほぼ一定の電流 I_1 を流す状態へと遷移する。これによりPチャネルMOSトランジスタTr1はオン状態へと遷移を始め、そのゲート・ソース間容量はほぼ一定の電流 I_1 で充電されることになる。このとき、ドライバIC202の全ドット(192ドット)が同時に駆動される場合には、各駆動回路において上述の動作が行なわれ、192個のTN1から電流 I_1 が制御電圧発生回路209の演算增幅器100の出力端子へ流入する。このため図8に示す演算增幅器10

0の出力トランジスタ326の駆動能力が大きくできるように図8に示す電流 I_3 を大きくしておくことが必要である。

【0066】図7において、典型的な使用条件においては、VDD電圧は5Vであり、LEDを駆動するPチャネルMOSトランジスタTr1を駆動するために、そのゲート・ソース間に印加される電圧 V_{GS} は約1.6V程度である。それ故、制御電圧発生回路209の出力であるVcontrol電位はVDDから V_{GS} に減じた約3.4Vとなっている。Vcontrol電位はVDD電圧の増減に応じて上下するものであるが、VDDからVcontrolを減じた電圧が約1.6Vの V_{GS} を保持し続けるように、演算增幅器100の作用により制御される。

【0067】いまLED駆動のためにアンド回路207の出力はHighレベルであり、その出力電圧はほぼVDDに等しい。またNチャネルMOSトランジスタTN1のソース電圧はVcontrolであるので、NチャネルMOSトランジスタTN1に印加されるゲート・ソース間電圧 V_{GS} もまた、VDDからVcontrolを減じた約1.6Vとなって、電源電圧に依存しない一定の電圧となる。

【0068】LEDの駆動開始時に、NチャネルMOSトランジスタTN1にはこの一定の電圧 V_{GS} が印加される。図9は電圧 V_{GS} が一定の場合におけるNチャネルMOSトランジスタTN1のソース・ドレーン間電圧 V_{DS} とドレーン電流 I_D との関係を示す。図9において、NチャネルMOSトランジスタTN1の電圧 V_{DS} が V_1 のとき、TN1に流れる電流は I_1 であり、この電流によりPチャネルMOSトランジスタTr1のゲート・ソース間容量が充電される。そしてこのことによりTr1のゲート・ソース間電圧 V_{GS} が増大していく。それに応じてNチャネルMOSトランジスタTN1のソース・ドレーン間電圧 V_{DS} が減少していき、図9に示す静特性曲線上を矢印で示すようにA点からB点を経由し、最終的にC点に至ることになり、LED駆動開始時の過渡状態のほとんどの期間において電流 I_1 に近い値の電流で、PチャネルMOSトランジスタTr1のゲート・ソース間容量が充電されることになる。

【0069】第3の実施の形態においては、NチャネルMOSトランジスタTN1のゲート長を大きくして充電電流を電流 I_1 に制限しているので、ドライバIC202の全ドット(192ドット)を同時に駆動する場合でも、演算增幅器100の出力端子にはたかだか(192 × I_1)の電流が流入するだけである。これを勘案して図8に示す演算增幅器100の電流 I_3 を決定することは容易である。

【0070】図19に示す従来のNチャネルMOSトランジスタTN1は定電流特性を備えておらず、そのためPチャネルMOSトランジスタTr1の駆動に伴い、そ

のゲート・ソース間容量の充電が発生する場合において、この充電電流を制限するものは各素子間を接続する配線の微小な配線抵抗のみである。当然の帰結として充電電流は大きなピーク値を持つものであって、さらに多数の（最も多い場合には192個の）トランジスタを駆動する場合には、このピーク電流のほぼ192倍の電流が演算増幅器100へ流入していたのである。

【0071】図11は第3の実施の形態におけるLED駆動電流を示すタイムチャートであり、LED駆動がオンされた後、再びオフ状態とされる場合の駆動電流波形を示す実測値である。上段の波形はLEDヘッドのストローブ信号HD-STB-Nであり、下段の波形はドライバICにおける1つのドットのLED駆動電流値の波形であり、着目しているドライバICにおいて同時に駆動されるドット数を、1、8、32、96、192と順次変化させたときの着目しているドットの駆動電流の立ち上がり、立ち下がりの波形を示す。

【0072】図から分かるように、ドライバIC1チップ当たりの駆動ドット数が1ドットの場合に対して、同時駆動ドット数が多くなるに従って、駆動電流の立ち上がり時間は僅かに増加する傾向があるが、従来技術において見られたような大きな増加傾向は見られない。また、駆動電流の立ち下がり時間についても、同時駆動ドット数による顕著な差は見られない。

【0073】以上のように第3の実施の形態では、LEDを駆動するためのPチャネルMOSトランジスタTr1を駆動するプリバッファ回路（インバータ回路）として、スイッチ素子と定電流源との組み合わせからなる回路とし、定電流源は、LED駆動用トランジスタの駆動開始時におけるゲート・ソース間容量の充電電流を制限する働きをする。この定電流源の働きにより、LED駆動用トランジスタの駆動開始時におけるゲート・ソース間容量の充電電流は、演算増幅器の出力流し込み電流よりも十分に小さい値とすることができるので、ドライバICの同時駆動ドット数が多くなる場合でも、演算増幅器100の出力シンク電流の制限を満足できる程度まで充電電流を制限できることが可能になる。このように、ドライバICの同時駆動ドット数の多寡により駆動電流波形の立ち上がり時間が変動する現象を実用上充分な程度まで軽減することができる。

【0074】次に本発明の第4の実施の形態を説明する。図12は第4の実施の形態の駆動回路を示す回路図である。図12において、LED駆動回路208には、PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1とで構成されるインバータ回路の前段に、PチャネルMOSトランジスタTP0とNチャネルMOSトランジスタTN0とで構成されるインバータ回路を配置している。そしてNチャネルMOSトランジスタTN0のソース電位をNチャネルMOSトランジスタTN1と同じく演算増幅器100の出力端子電位V

controlとしている。

【0075】またPチャネルMOSトランジスタTP0とNチャネルMOSトランジスタTN0とで構成されるインバータ回路の前段には NAND回路ND1を配置し、ラッチ回路LT1およびインバータ206の出力が入力されるようになっている。その他の構成は第3の実施の形態と同様である。即ち、本実施の形態においても、第3の実施の形態と同様に、PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1のディメンジョンを適切に選択して、定電流特性が得られるものとする。

【0076】ところで、LED駆動オフ時における駆動用トランジスタTr1のゲート放電電流 I_g は、各ドット毎に設けられたスイッチ素子（TP1）を介して各ドット独立に分散して流れるので、LED電流の立ち下がり時間が小さくてすむ反面、LED駆動に伴う大きな電流を短時間のうちに遮断することになるので、大きなノイズ電圧を生じ、これにより最悪の場合にはドライバICが破壊されるおそれもあった。

【0077】以下図面を用いて説明する。図13において、LED駆動オフ時の電流立ち下がり時間を Δt とすると、この時間内にLED駆動のための電流が一気に遮断されるので、このときの電流変化を Δi とし、LEDヘッド構成するために不可避的に発生してしまうリードインダクタンスを L とすると、このとき発生するノイズ電圧 ΔV は、 $\Delta V = L \times (\Delta i / \Delta t)$ として表される。即ち、LED駆動オフ時の電流立ち下がり時間 Δt が小さいほど、大きなノイズ電圧が発生することになる。第4の実施の形態はLED駆動オフ時の上記問題をも解決しようとするものである。

【0078】次に第4の実施の形態の動作を説明する。ここではLED駆動がなされ、ストローブ信号HD-STB-Nがハイレベルからローレベルとなって、再びハイレベルになる場合の動作を説明する。

【0079】図12において、LED駆動する前においてはLED駆動用のPチャネルMOSトランジスタTr1は、オフ状態になっており、そのゲート・ソース間電圧はほとんどゼロになっている。ストローブ信号HD-STB-NがHighレベルからLowレベルになると、インバータ回路206の出力端子はLowからHighとなる。一方印刷データはオンであるので、ラッチ回路LT1の出力はHighレベルである。このためNAND回路ND1の出力信号はHighからLowレベルに遷移する。

【0080】この出力がPチャネルMOSトランジスタTP0とNチャネルMOSトランジスタTN0で構成されるインバータ回路により論理反転され、このインバータ回路の出力はLowレベルからHighレベルとなる。次いでこの出力がPチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1で構成され

るインバータ回路により論理反転され、このインバータ回路の出力はHighからLowレベルに遷移する。このことにより駆動用トランジスタTr1のゲート電位は、ほぼVcontrolに等しい電位まで下降する。

【0081】このとき図12に示すようにほぼ一定の電流I₁が流れる。この電流は主に駆動用トランジスタTr1のゲートとICチップのサブストレート間の静電容量、即ちソース・ゲート間容量の充電電流であり、この電流が電源VDDから駆動用トランジスタTr1のゲート及びNチャネルMOSトランジスタTN1を介して制御電圧発生回路209の演算増幅器100の出力端子へ流入する。

【0082】上記第3の実施の形態で説明したように、NチャネルMOSトランジスタTN1に定電流特性を持たせることにより、演算増幅器100の出力端子へ流入する電流を制限することができる。これによりドライバICの同時駆動ドット数の多寡により駆動電流波形の立ち上がり時間が変動する現象を実用上充分な程度まで軽減することができる。

【0083】次に駆動用トランジスタTr1がオンからオフ状態へと変化する場合について説明する。このときストローブ信号HD-STB-Nはアサート状態からネガート状態へと遷移している。これにより NAND回路ND1の出力信号はLowからHighレベルに遷移し、この出力がPチャネルMOSトランジスタTP0とNチャネルMOSトランジスタTN0で構成されるインバータ回路により論理反転され、このインバータ回路の出力はHighレベルからLowレベルとなる。次いでこの出力がPチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1で構成されるインバータ回路により論理反転され、このインバータ回路の出力はLowからHighレベルに遷移する。このことにより駆動用トランジスタTr1のゲート電位は、ほぼVcontrolに等しい電位から電源電圧VDDに等しい電位まで上昇する。

【0084】このとき、PチャネルMOSトランジスタTP0とNチャネルMOSトランジスタTN0で構成されるインバータ回路と、次段のPチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1で構成されるインバータ回路とは、電源電圧VDDと演算増幅器100の出力端子電位Vcontrolとの差の電位で動作しており、この電圧は電源電圧VDDに依存しないで決まるほぼ一定の電圧となっている。

【0085】このときの電圧は、LED駆動がオフするときのPチャネルMOSトランジスタTP0とNチャネルMOSトランジスタTN0で構成されるインバータ回路の出力がLowレベルのときの出力電圧に相当し、次段のPチャネルMOSトランジスタTP1に印加されるゲート・ソース間電圧と等しいものであって、電源電圧VDDに依存しないで決まるほぼ一定の電圧値（第3の

実施の形態の具体例では約1.6V）である。

【0086】この電圧値はまた、LED駆動用PチャネルMOSトランジスタTr1が動作している時に、そのゲート・ソース間に印加される電圧と等しい。LED駆動のオフ時においてPチャネルMOSトランジスタTr1のゲート・ソース間容量を放電するとき、PチャネルMOSトランジスタTP1のゲート・ソース間に印加される電圧は前述した1.6V程度と小さいものであり、その飽和特性によって決まる定電流にて放電することができる。

【0087】このとき、図12における矢印I₀で示される方向に、LED駆動用PチャネルMOSトランジスタTr1のゲート・ソース間容量の放電電流が流れることになるが、この電流I₀はPチャネルMOSトランジスタTP1のディメンジョンにより決定され、電源電圧VDDに依存しないで決めることができる。

【0088】この場合においても、同時駆動されるドットの多寡によってゲート・ソース間容量の放電時間が大きく変動することはなく、放電電流I₀はPチャネルMOSトランジスタTP1の働きにより電流制限されるので、Tr1のゲート・ソース間容量の放電電流を制限した効果として、LED駆動オフ時の電流波形の立ち下がり時間をある程度大きくすることができるようになる。この結果、LED駆動オフ時に発生するノイズ電圧を低減することが可能になる。またLED駆動オフ時の電流波形の立ち下がり時間は、LED駆動オン時の電流波形立上がり時間とは独立に設定することができる。

【0089】図14は第4の実施の形態におけるLED駆動電流を示すタイムチャートであり、LED駆動がオンされた後、再びオフ状態とされる場合の駆動電流波形を示す実測値を示す。この例では、LEDヘッドを、その長手方向に4つのブロックに分割して、各ブロック毎のストローブ信号をHD-STB1-NからHD-STB4-Nまでの4本の信号線としている。上段の波形はLEDヘッドのストローブ信号HD-STB1-NからHD-STB4-Nまでの4本の信号線の波形を示し、下段の波形はドライバIC（いまの場合、1個のドライバICにおいて192個のLED素子の駆動を分担する構成となっている。）の着目しているドット（いまの場合、4つに分割された各ブロックのうちから選んだ任意の1ドット）におけるLED駆動電流値の波形であり、それぞれのドットに対応する駆動電流の立ち上がり、立ち下がりの波形を示す。

【0090】図より明らかな様に、LED駆動オフ時ににおける電流波形の立ち下がり時間Tfは、図13に示す従来技術に較べて大きくなっている。これによりLED駆動オフ時に発生するノイズ電圧を低減することが可能である。また駆動電流の立上がり時間Trは、LED駆動オフ時における電流波形の立ち下がり時間Tfに較べて大きく設定されており、図に示されるように、各プロ

ック間での駆動オン／オフの切り替わり時刻a点、b点、c点で隣接する2ブロックが短時間同時に駆動される現象を防止している。

【0091】以上のように第4の実施の形態によれば、LED駆動用のPチャネルMOSトランジスタTr1を駆動するプリバッファ回路（PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1で構成されるインバータ回路）の前段にさらに同様の構成を有するプリバッファ回路を設け、複数段からなるプリバッファ回路をもつ構成とし、複数段のプリバッファ回路のグランド電位を演算増幅器の出力電位とする。

【0092】即ち、前段のプリバッファは後段のプリバッファを駆動し、後段のプリバッファはLED駆動用トランジスタを駆動する。後段のプリバッファのNチャネルMOSトランジスタは、LED駆動素子であるPチャネルMOSトランジスタTr1のゲート・ソース間容量を充電するときの電流制限素子の働きをする。また後段のプリバッファのPチャネルMOSトランジスタは、LED駆動素子であるPチャネルMOSトランジスタTr1のゲート・ソース間容量を放電するときの電流制限素子としての働きをする。

【0093】そのため、ドライバICの同時駆動ドット数が多くなる場合でも演算増幅器の出力シンク電流の制限を満足できる程度まで充電電流を制限することができるとともに、LED駆動オフ時の電流波形の立ち下がり時間Tfを適切に設定することにより、発生するノイズ電圧を低減することが可能である。

【0094】さらに、LED駆動オン時の電流波形の立ち上がり時間Trを、Tr>Tfに設定することにより、4本のストローブ信号に対応して時分割に駆動される、LEDヘッド内の隣接するブロック間で発生する短時間の同時駆動現象を防止することが可能である。LEDヘッド内の隣接するブロック間で発生する短時間の同時駆動現象が発生すると、LEDヘッドの駆動電流波形に大きなピーク値を生じ、それを搭載するプリンタの電源装置の容量増加、即ち電源装置の大型化およびコストアップになるが、第4の実施の形態ではこうした問題を未然に防止することができる。

【0095】上記各実施の形態では、駆動回路として電子写真プリンタにおけるLED駆動回路を例にして説明したが、本発明は、サーマルプリンタにおける発熱抵抗体、表示装置における表示素子の列を駆動する回路にも適用可能である。

【0096】

【発明の効果】以上詳細に説明したように本発明では、直列接続した2つのPチャネルMOSトランジスタM1、M2によりLEDを駆動するようにし、一方のPチャネルMOSトランジスタM1でLEDの駆動電流値を決定する定電流源の働きをさせ、他方のPチャネルMOSトランジスタM2でLED駆動電流のオン／オフを行

うスイッチ素子としての働きをさせるようにしたことにより、駆動電流値を決定するPチャネルMOSトランジスタM1が、同時に駆動ドット数の影響を受けないようにしたので、同時に駆動されるドット数の多寡による駆動電流波形の立ち上がり時間の変動という現象は解消される。

【0097】また、LEDを駆動するためのPチャネルMOSトランジスタTr1とこれを駆動するプリバッファ回路（インバータ回路）とを抵抗Rpを介して接続し、この抵抗RpにPチャネルMOSトランジスタTr1のゲート・ソース間容量を充電するときの電流制限抵抗の働きをさせるようにしたので、またはLEDを駆動するためのPチャネルMOSトランジスタTr1を駆動するプリバッファ回路をスイッチ素子と定電流源との組み合わせからなる回路とし、LED駆動開始時におけるPチャネルMOSトランジスタTr1のゲート・ソース間容量の充電電流を制限する働きをさせるようにしたので、ドライバICの同時駆動ドット数が多くなる場合でも、演算増幅器100の出力シンク電流の制限を満足できる程度まで充電電流を制限できることが可能になり、ドライバICの同時駆動ドット数の多寡により駆動電流波形の立ち上がり時間が変動する現象を実用上充分な程度まで軽減することができる。

【図面の簡単な説明】

【図1】本発明に係る第1の実施の形態の駆動回路の要部を示す回路図である。

【図2】第1の実施の形態のLEDヘッドの内部構成を示すブロック図である。

【図3】PチャネルMOSトランジスタM1、M2の構造を示す説明図である。

【図4】第1の実施の形態におけるLED駆動電流を示すタイムチャートである。

【図5】第2の実施の形態の駆動回路を示す回路図である。

【図6】第2の実施の形態におけるLED駆動電流を示すタイムチャートである。

【図7】第3の実施の形態の駆動回路を示す回路図である。

【図8】演算増幅回路を示す回路図である。

【図9】NチャネルMOSトランジスタの特性を示すグラフである。

【図10】NチャネルMOSトランジスタのゲート長を変えた場合のドレーン電流を示すグラフである。

【図11】第3の実施の形態におけるLED駆動電流を示すタイムチャートである。

【図12】第4の実施の形態の駆動回路を示す回路図である。

【図13】電流立ち下がり時間を示すタイムチャートである。

【図14】第4の実施の形態におけるLED駆動電流を

示すタイムチャートである。

【図15】電子写真プリンタにおける制御回路のブロック図である。

【図16】従来の電子写真プリンタのタイムチャートである。

【図17】従来のLEDヘッドの構造を示す図である。

【図18】LEDヘッドの構成を示す図である。

【図19】プリバッファ回路とその周辺回路を示す回路図である。

【図20】LED駆動電流の立ち上がり時間の変動を示す

すタイムチャートである。

【符号の説明】

201 LEDアレイ

208 LED駆動回路

209 制御電圧発生回路

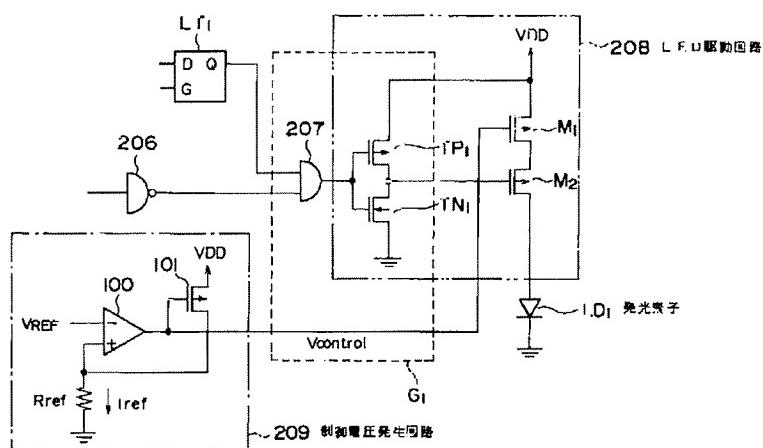
M1、M2 PチャネルMOSトランジスタ

TP1 PチャネルMOSトランジスタ

TN1 NチャネルMOSトランジスタ

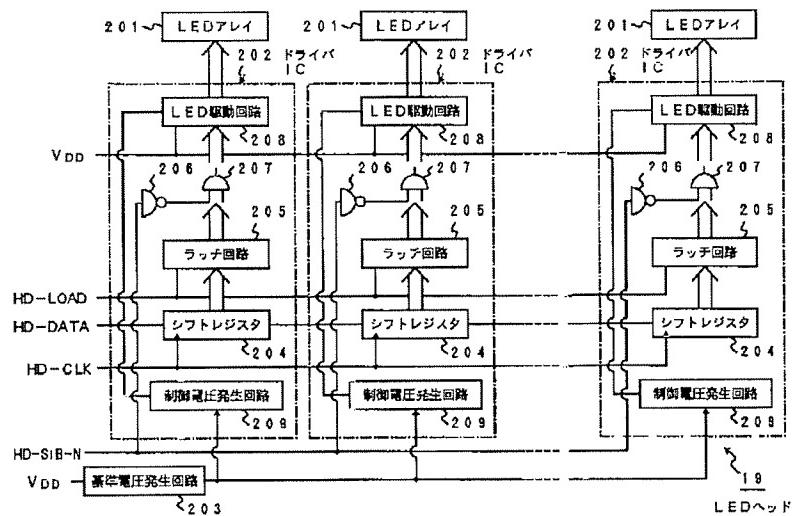
LD1 発光素子

【図1】



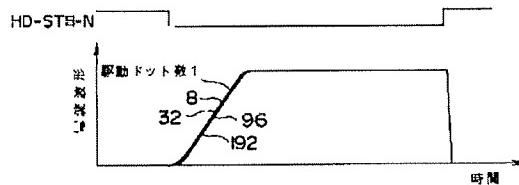
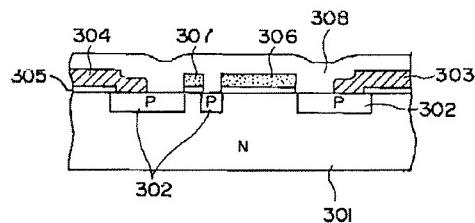
第1の実施の形態の駆動回路の要部を示す回路図

【図2】



第1の実施の形態のLEDヘッドの内部構成を示すブロック図

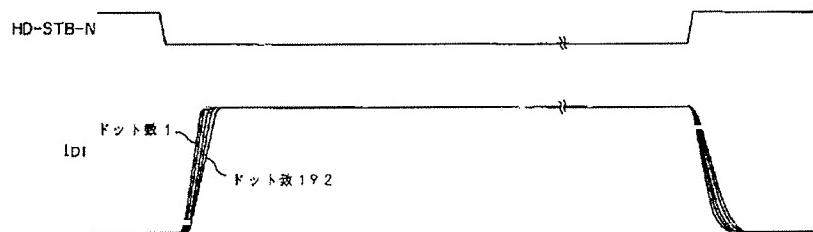
【図3】



第3の実施の形態におけるLED駆動電流を示すタイムチャート

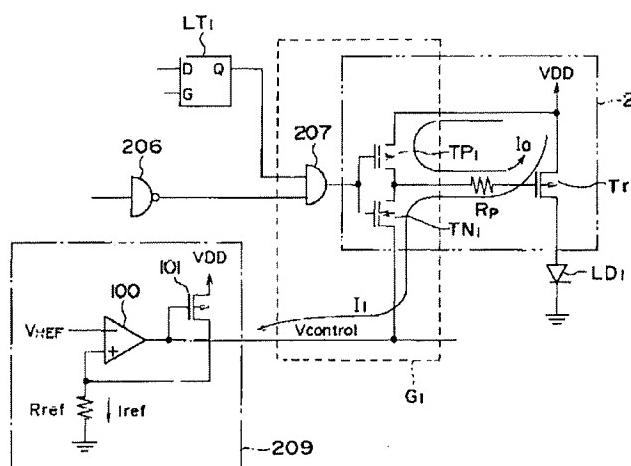
PチャネルMOSトランジスタM1, M2の構造を示す説明図

【図4】



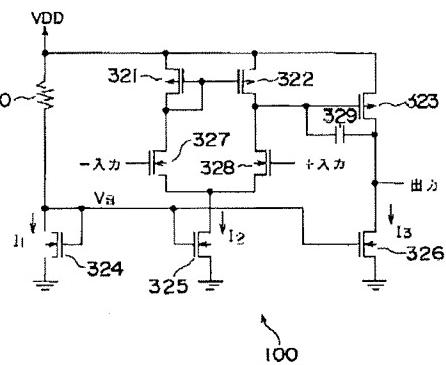
第1の実施の形態におけるLED駆動電流を示すタイムチャート

【図5】



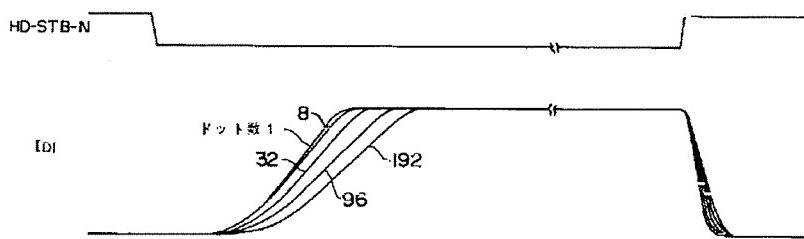
第2の実施の形態の駆動回路を示す回路図

【図8】



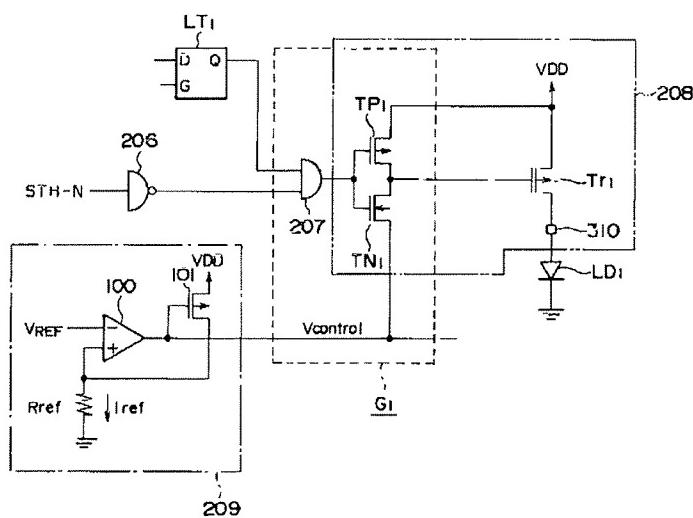
演算増幅器を示す回路図

【図6】



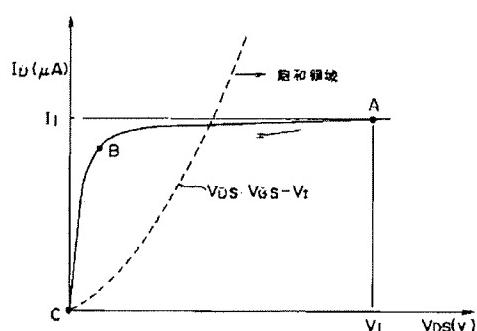
第2の実施の形態におけるLED駆動電流を示すタイムチャート

【図7】



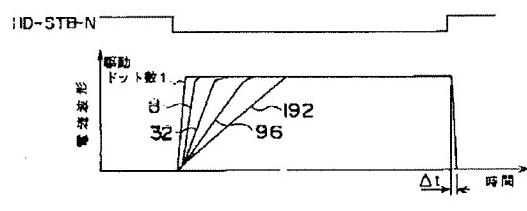
第3の実施の形態の駆動回路を示す回路図

【図9】



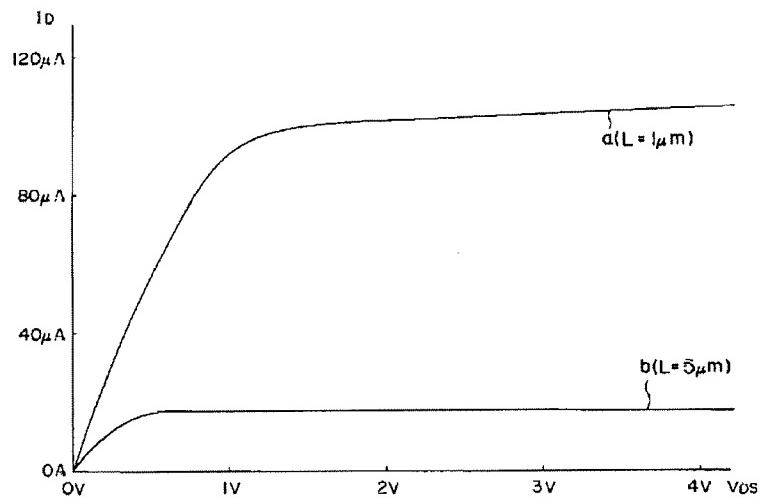
NチャネルMOSトランジスタの特性を示すグラフ

【図13】



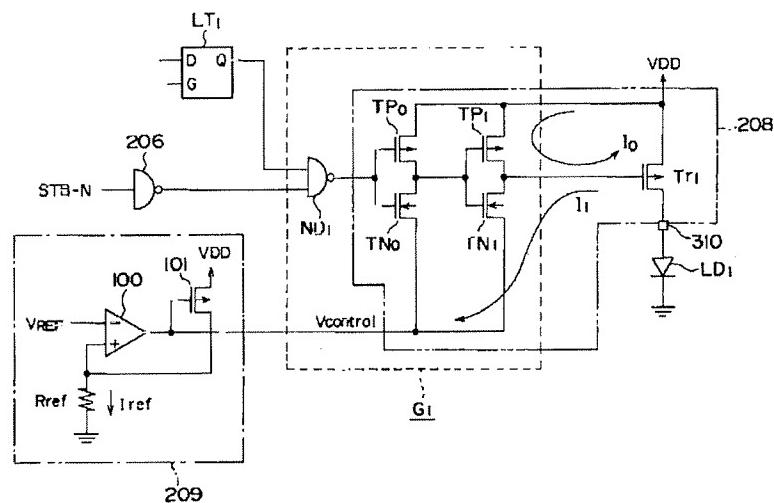
電流立ち下り時間示すタイムチャート

【図10】



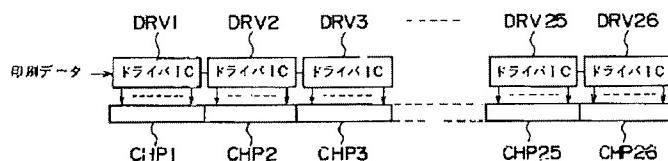
NチャネルMOSトランジスタのゲート式を変えた場合のドレーン電流を示すグラフ

【図12】



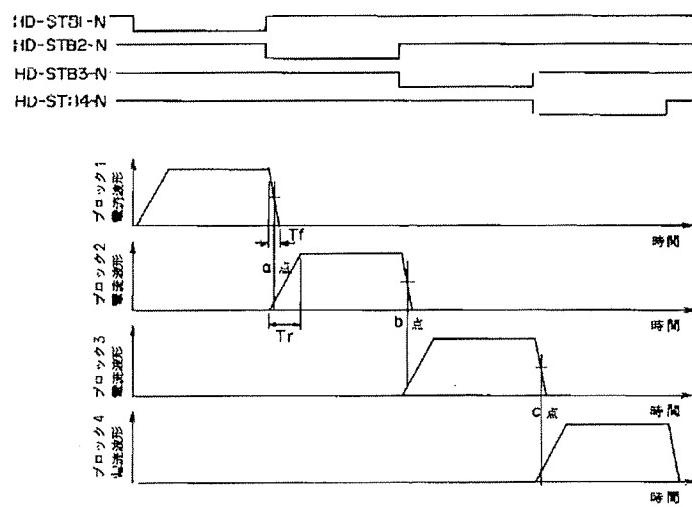
第4の実施の形態の駆動回路を示す回路図

【図18】



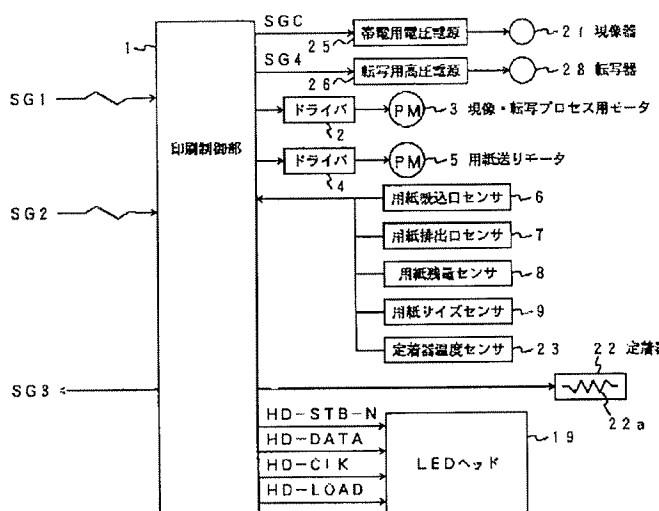
LEDヘッドの構成を示す図

【図14】



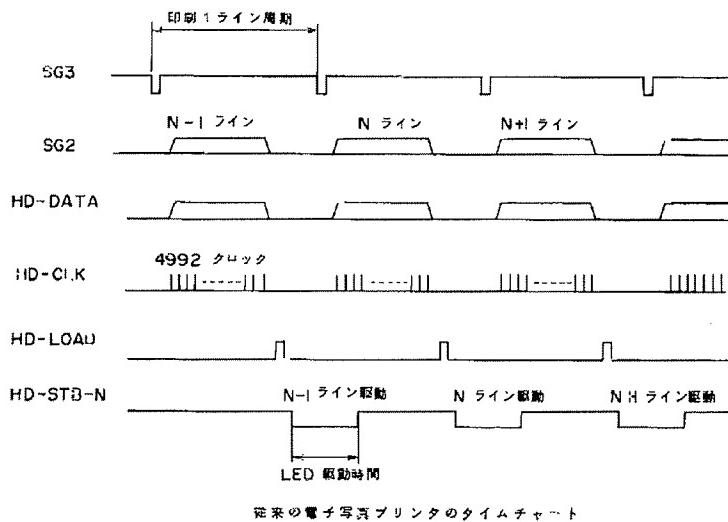
第4の実施の形態におけるLED駆動電流を示すタイムチャート

【図15】

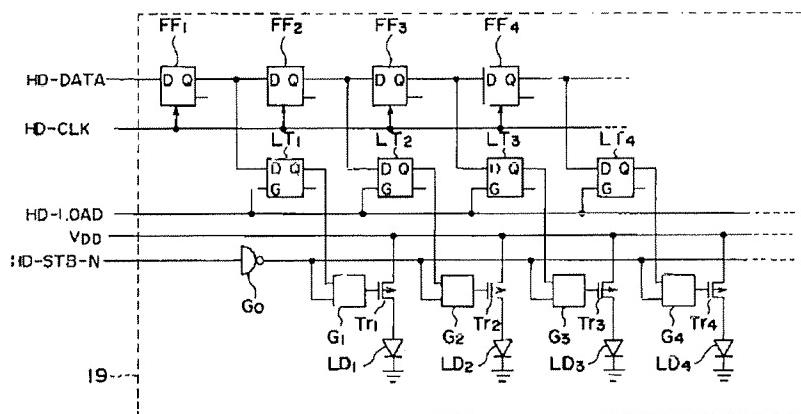


電子写真プリンタにおける制御回路のブロック図

【図16】

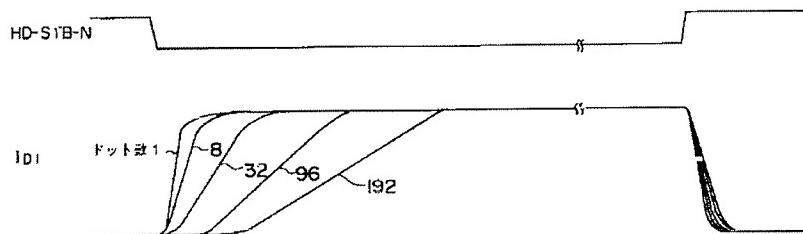


【図17】



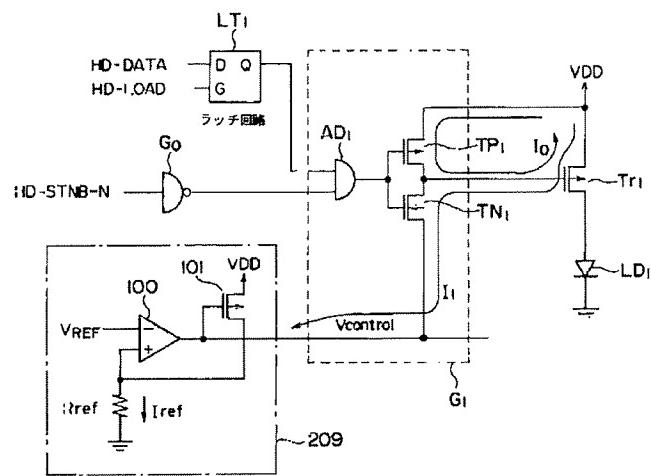
從來のLEDヘッドの構造を示す図 (Diagram showing the structure of a conventional LED head)

【図20】



LED駆動電流の立ち上がり時間の変動を示すタイムチャート (Timing chart showing the variation of the rise time of the LED drive current)

【図19】



プリバッファ回路とその周辺回路を示す回路図